

## 表面再構成制御成長法を用いた Si 基板上 InSb 系超高速デバイスの作製と評価

研究代表者 理工学研究部(工学) 前澤 宏一

### (1) プロジェクトの背景・目的

2005 年の IEEE International Electron Devices Meeting(IEDM)において、図 1 のような InSb を用いたロジック LSI 向けトランジスタが発表された。非常に高い電子移動度と高い電子飽和速度を持った InSb をチャネル層に用いた超低電圧駆動 FET である。これをきっかけに全世界で Sb 系材料が注目されるようになり、高速トランジスタを実用化しようとする動きが加速した。Si のような安定な絶縁膜を持たない InSb をデバイスへ利用、さらには微細化する上で大きな問題となるリーク電流の抑制を如何に解決するかが現在の課題であり、10 年後の実用化を目指して研究開発が進められている。今回インテルによって報告された InSb を用いたトランジスタ(QW-FET)は半絶縁性 GaAs 基板上に作製されたものであるが、ポスト Si-CMOS を考えれば、従来の Si-LSI 技術の利用や、素子作製コスト削減の観点からも Si 基板上での InSb を利用したデバイスの作成技術の確立は極めて重要である。

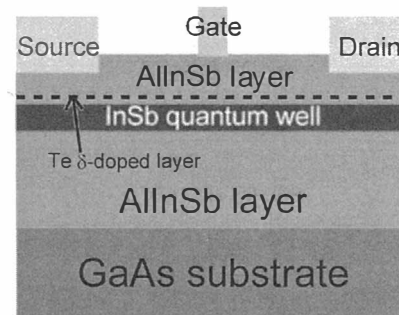


図 1 GaAs 上の InSb QW-FET 構造

我々はこれまでに、Si 基板上の In や Sb 吸着による表面再構成構造と InSb のヘテロエピタキシャル成長の関係に注目し、堆積の極初期段階の表面再構成構造がその後の InSb のヘテロエピタキシャル成長に大きな影響を及ぼすことを明らかにしてきた。特に、ある条件の下で In と Sb を Si(111)基板上に 1 原子層(ML)程度吸着させた場合、その上に成長させた InSb 薄膜は Si 基板に対して 30°回転することを発見した。図 2 のように面内で 30°回転すると格子不整合が約 3.3% に軽減されるため、InSb/Si 界面における転位の発生が大幅に抑制され、結晶性、電気的特性の向上が期待される。これはエピタキシャル成長が困難とされる InSb/Si 系において、高品質の薄膜を得るための非常に重要な発見である。本研究は、この表面再構成制御成長法を用いて高品質な InSb 量子井戸構造を Si 上に形成し、それを高速トランジスタに応用しようとするものである。

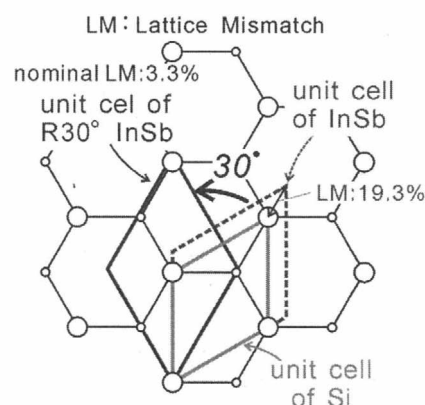


図 2 格子不整合緩和の模式図

### (2) 研究成果

これまで作製してきた InSb 薄膜は、図 3 の SEM 像のように、膜表面に内部の転位によるものと思われるクラックが多数見られた。このクラックは AllnSb 薄膜ではより顕著に表れ、これによりキャリアの発生源となる転位が膜中に大量に入っていることが考えられた。このため、今年度は、このクラック

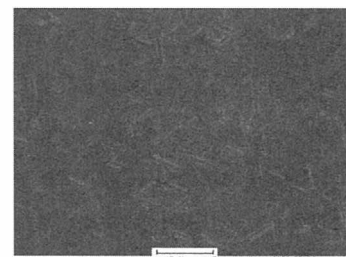


図 3 試料表面の SEM 像

クの減少、つまり転位密度の低減を図るため、2段階成長における1層目の成長条件の最適化を試みた。詳細はポスドクのSaraさんの報告を見ていただくとして、結果として、1層目の成長条件の最適化により、Si(111)基板上に成長した膜厚1 $\mu\text{m}$ のInSb薄膜において、38,000 $\text{cm}^2/\text{Vs}$ という高い室温電子移動度が得られた。これは、GaAs等の異種材料を用いずSi基板上に直接成長したInSb薄膜の移動度としては非常に高いものであり、これまで作製してきた試料と比較しても2倍近い値である。

高い電子移動度を持つ薄膜を作製できるようになったが、この測定値は膜全体の平均であり、界面から遠い膜表面付近ではさらに移動度が高い可能性がある。そこで、ステップホール測定という方法で、移動度の成長方向分布を調べることにした。この方法では、図4のように、パターニングし電極を形成した試料をクエン酸系のエッチング液で削りながら測定を繰り返すことで、測定前後の測定結果から削った部分のキャリア濃度と移動度を類推する。計算には以下の式を用いた。

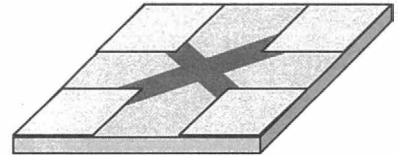


図4 測定用試料パターニング

$$n = \frac{1}{e(d2-d1)} \times \frac{(\sigma2 \times d2 - \sigma1 \times d1)^2}{R_H2 \times (\sigma2)^2 \times d2 - R_H1 \times (\sigma1)^2 \times d1}$$

$$\mu = \frac{R_H2 \times \sigma2^2 \times d2 - R_H1 \times \sigma1^2 \times d1}{d2 \times \sigma2 - d1 \times \sigma1}$$

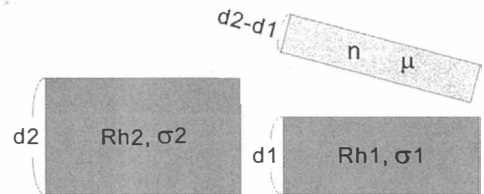


図5 ステップホール測定概略図

計算の際、測定結果のばらつきが計算結果に大きく影響するため、図6のように近似曲線を求めて、曲線上の値を用いて $\mu$ と $n$ を計算した。

図7に初期のIn誘起表面再構成構造が、 $\sqrt{7} \times \sqrt{3}$ -In、 $2 \times 2$ -In、 $\sqrt{3} \times \sqrt{3}$ -Inの試料の移動度およびキャリア濃度の膜厚依存性を示す。それぞれの試料の膜厚1 $\mu\text{m}$ での移動度は38,000 $\text{cm}^2/\text{Vs}$ 、28,000 $\text{cm}^2/\text{Vs}$ 、22,000 $\text{cm}^2/\text{Vs}$ であった。図において膜厚0 $\mu\text{m}$ はSi基板との界面を表す。移動度はSi基板との界面に近づくにつれて減少していき、0.2 $\mu\text{m}$ 程度では、いずれの試料も10,000 $\text{cm}^2/\text{Vs}$ 以下となっている。これは界面付近の転位等による散乱の影響と考えられ、界面付近でのキャリア濃度急激に増加と符合する。

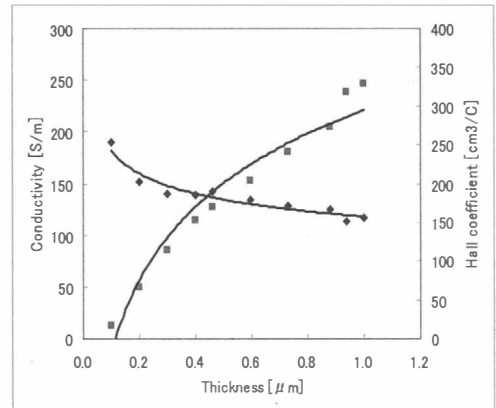
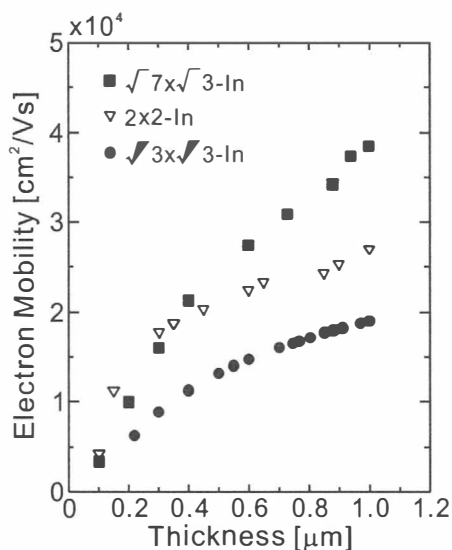
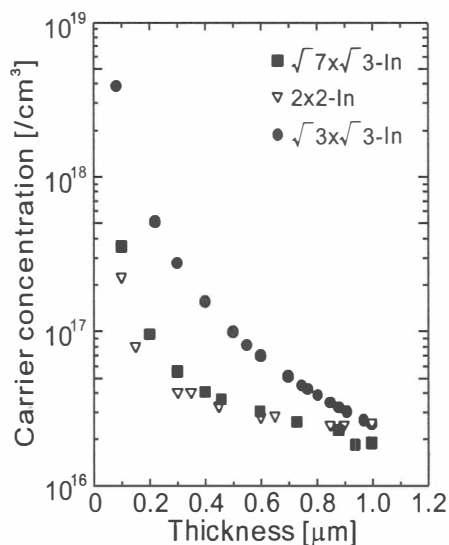


図6 計算に用いた近似曲線

図8に上の2式を用いて計算した、移動度とキャリア濃度の界面からの距離との関係のグラフを示す。このグラフからは、界面からある距離離れた部分近傍のみの移動度、あるいはキャリア濃度が分かる。これらの図から、初期の表面再構成構造として $\sqrt{7} \times \sqrt{3}$ -Inを用いて作製した試料表面近傍の移動度が61,000 $\text{cm}^2/\text{Vs}$ とバルクに匹敵するほど高い値となっていることが分かる。また、キャリア濃度も真性キャリア濃度に非常に近い。また、界面から0.2 $\mu\text{m}$ 付近の移動度が、いずれの試料も20,000 $\text{cm}^2/\text{Vs}$ 前後と非常に高く、界面近傍の結晶性や電気特性の向上が、膜全体の電気特性の向上に起因していると考えられる。

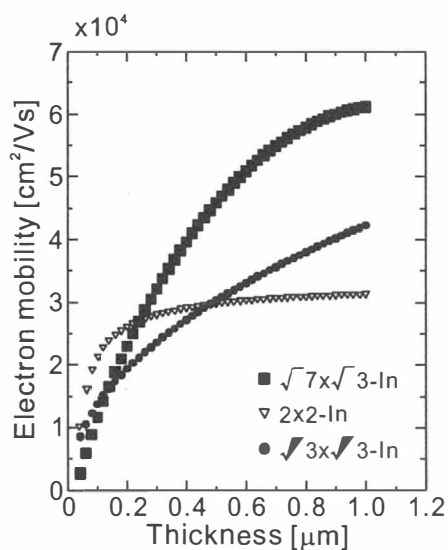


(a) 移動度の膜厚依存性

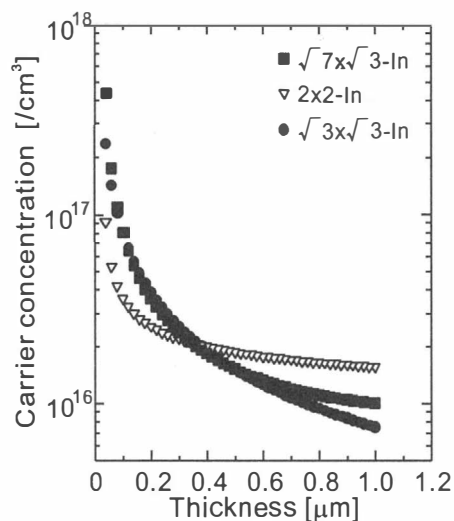


(b) キャリア濃度の膜厚依存性

図 7 エッチングしながら測定した As-measured データ



(a) 移動度の膜厚依存性



(b) キャリア濃度の膜厚依存性

図 8 計算によって得られた estimated データ

非常に結晶性、電気特性の優れた InSb 薄膜が得られたので、InSb を用いた FET の実現可能性を確認するため、図 9 のような InSb-MOS ダイオードを試作した。Atomic Layer Deposition(ALD)法を用いて厚さ 30nm のアルミナ( $\text{Al}_2\text{O}_3$ )膜を堆積させ、電極を形成し、120Hz と 100KHz の信号周波数で C-V 特性の測定を行った。

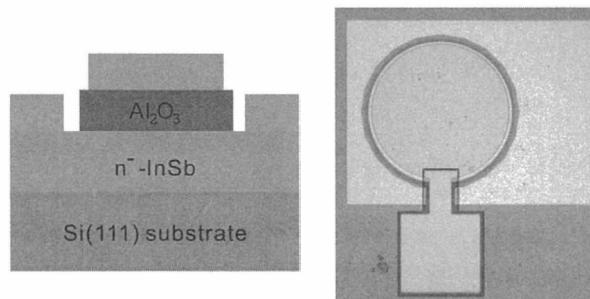


図 9 InSb-MOS diode の概略図(左)と外観(右)

測定結果を図 10 に示す。図 10(a)を見ると、蓄積、反転が起こっていることがはっきり

と確認でき、また、2.5V 印可時の容量が  $\text{Al}_2\text{O}_3$  の誘電率を 10 と仮定したときの蓄積状態に近い値をとっている。これらのことから表面のフェルミレベルをゲート電圧によって動かすことができていることが分かる。また、ヒステリシスが小さいことから界面準位密度が小さいと分かる。しかし、中心部の変化が予想される 40% よりも小さい(10%程度)。これは、 $\text{InSb}$  の狭いバンドギャップによる高い生成/再結合速度のため界面準位の応答が速いことが原因と考えられる。また、100kHz という高周波でも反転が確認されるが、こちらでも高い生成/再結合速度のため、また、今回ノンアロイの電極を用いたことにより、逆バイアスを印可すると、正孔が注入され空乏化しないものと考えられる。このため、生成/再結合速度を遅くするため、液体窒素温度で同様に C-V 測定を行った(図 10(b))。図 10(b)を見ると、中心分の変化が大きくなり、非対称の特性になったことから、空乏化が見えるくらいに界面準位の応答が遅くなったことが分かる。

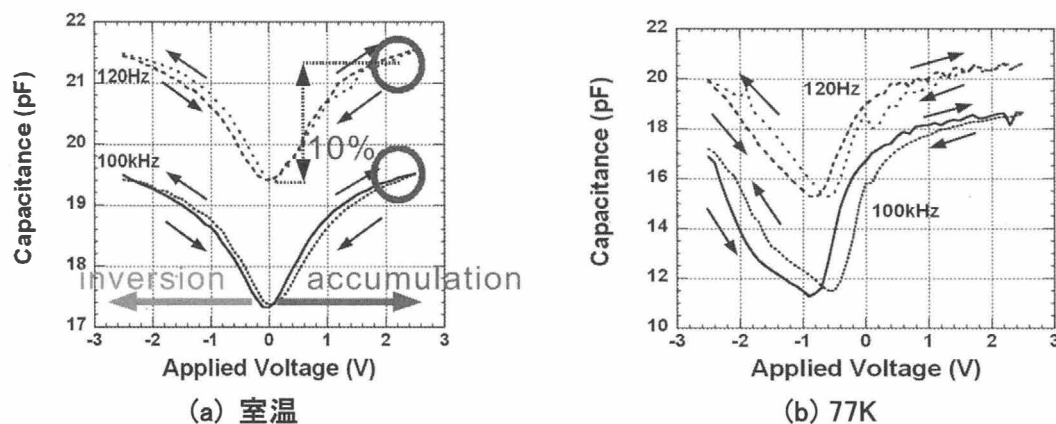


図 10  $\text{InSb}$ -MOS ダイオードの C-V 測定結果

今回はノンアロイ電極を用いて、試料を作製したが、Sn を用いて n 型電極を形成することで正孔の注入を押さえることを検討する必要がある。また、 $\text{InSb}$  の MOS 型のトランジスタの場合、Off できないと考えられるので、 $\text{AlInSb}/\text{InSb}$  量子井戸構造を作製する必要があると考えられる。このため、バリア層となる  $\text{AlInSb}$  層の高品質化(キャリア濃度の低減)が今後の課題である。

【発表論文】4 編 (掲載決定のものを含む)

【国内学会】3 件

【国際学会】5 件

【共同研究】2 件

(3) プロジェクト成果 (特許、企業、技術移転等)

(4) プロジェクト成果の応用・効果・構想 (企業計画、市場での応用・効果・特許化構想)

今後、 $\text{InSb}$  を用いた QW-FET 等  $\text{InSb}$  系のデバイス作製に対する研究過程において、この膜成長法に最適なデバイス製造法等で特許を取得できていると考えている。

(5) 利用施設

高出力・高分解能 X 線回折システム (薄膜材料解析装置部: ATX-E)

利用内容: 結晶性評価、 利用頻度: 約 20 h/月